

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-67945

⑬ Int. Cl.<sup>4</sup>

H 04 L 13/00

識別記号

3 0 9

庁内整理番号

A-7240-5K

⑭ 公開 昭和63年(1988)3月26日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 通信制御装置

⑯ 特 願 昭61-211762

⑰ 出 願 昭61(1986)9月10日

⑱ 発 明 者 千 田 誠 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
⑳ 代 理 人 弁理士 大塚 康徳

明 細 書

1. 発明の名称

通信制御装置

2. 特許請求の範囲

(1) 複数のネットワーク網に接続され、該接続ネットワーク網の一つを選択してデータ通信を行なう通信制御装置において、ネットワークに従った通信制御手順に従い接続された他の通信制御装置との間の通信制御を司る通信制御手段と、接続ネットワーク網毎に前記通信制御手段と当該接続ネットワーク間のインタフェースを司るインタフェース手段と、前記通信制御手段よりの出力信号を該接続ネットワーク毎のインタフェース手段に常時供給する第1の供給手段と、前記各インタフェース手段よりの出力信号を受け取り、前記選択されたインタフェース手段よりの出力信号の

みを選択して出力する選択部を介して前記通信制御手段に供給する第2の供給手段と、各インタフェース手段毎に当該インタフェース手段の機能を示す情報を設定保持する保持手段とを備え、前記通信制御手段は該保持手段の保持情報を読み出し、該読出した情報に従って通信制御を行なうことを特徴とする通信制御装置。

(2) 第2の供給手段は各インタフェース手段よりの出力信号のうち選択されたインタフェース手段以外のインタフェース手段よりの出力を高インピーダンス状態とし、選択されたインタフェース手段よりの出力のみ通信制御手段に供給することとを特徴とする特許請求の範囲第1項記載の通信制御装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は複数のネットワーク網に接続され、該接続ネットワーク網の一つを選択してデータ通信を行なう通信制御装置に接続に関するものである。

## 〔従来の技術〕

公衆通信回線網には、電話回線網以外にも様々な回線網がある。例えば、国内のバケット交換網であるDDX-P、国際間のバケット交換網であるVenus-P、専用線として利用できる高速デジタル回線網等である。

従来の複数のネットワーク網に接続され、該接続ネットワーク網の一つを選択してデータ通信を行なう通信制御装置の構成を第7図に示す。

第7図において、1はROM3に格納された

3

ものである。

7は通信制御部5とモデムA8を介して接続されるネットワークAとのインタフェースを司どるインタフェース回路A、9は通信制御部5とモデムB10を介して接続されるネットワークBとのインタフェースを司どるインタフェース回路B、11は通信制御部5とモデムC12を介して接続されるネットワークCとのインタフェースを司どるインタフェース回路Cである。

この様にインタフェース回路を各ネットワーク(網)に合わせて、接続ネットワーク数だけ備え、マルチプレクサ6によりそのうちの1つを選択し、通信制御部5と接続する。これによつて、用途、費用、時間、場所等の条件により、最も適した網を選択して通信ができる。

〔発明が解決しようとする問題点〕

制御手順に基づいて本装置全体の制御を司どる中央処理部(以下「CPU」と称す)、2は通信制御部5とRAM4間においてダイレクト・メモリ・アクセス方式によるデータ転送制御を行なうDMAC、3はリード・オンリ・メモリ(以下「ROM」と称す)、4はランダム・アクセス・メモリ(以下「RAM」と称す)、5は例えば「ADLC」、「HDL C」、「MPCC」等の伝送制御手順に従うデータリンクを司どる通信制御部である。6はマルチプレクサであり、マルチプレクサ6は通信制御部5よりの制御信号14に従いインタフェース回路A~C(7、9、11)のうち1つを選択し、選択したインタフェース回路よりの全ての信号線と、通信制御部5よりの全ての信号線とを互いに電気的に接続し、非選択のインタフェース回路よりの信号線とは離接させる

4

しかし、以上の構成では接続可能なネットワークシステムを追加しようとしてもインタフェース回路及びモデムの増設だけでは対処できず、マルチプレクサ6の内部回路変更又は追加が必要となる。このため、実質的に後で接続ネットワークを追加することは困難であつた。この増設する場合の構成を第8図に示す。図の斜線部分がマルチプレクサ6の追加部分である。

## 〔問題点を解決するための手段〕

本発明は上述の問題点を除去することを目的として成されたもので、この目的を達成する一手段として以下の構成を備える。

即ち、ネットワークに従った通信制御手順に従い接続された他の通信制御装置との間の通信制御を司どる通信制御手段と、接続ネットワーク網毎に通信制御手段と当該接続ネットワーク間のイン

タフエースを司るインタフエース手段と、通信制御手段よりの出力信号を該接続ネットワーク毎のインタフエース手段に常時供給する第1の供給手段と、各インタフエース手段よりの出力信号を受け取り、選択されたインタフエース手段よりの出力信号のみを選択して出力する選択部を介して通信制御手段に供給する第2の供給手段と、各インタフエース手段毎に当該インタフエース手段の機能を示す情報を設定保持する保持手段とを備える。

#### 〔作用〕

以上の構成において、第2の供給手段の選択部は各インタフエース手段よりの出力信号のうち、選択されたインタフエース手段以外のインタフエース手段よりの出力信号の出力を高インピーダンス状態とし、通信制御手段へは全インタフエー

ス手段よりの出力を並列に供給すると共に、通信制御手段は該保持手段の保持情報を読み出し、該読出した情報に従って通信制御を行なう。

#### 〔実施例〕

以下、図面を参照しながら本発明に係る一実施例を詳細に説明する。

第1図は本発明に係る一実施例のブロック図であり、第7図と同様構成については同一番号を附して説明を省略する。第1図は第7図のマルチプレクサ回路6に換え、インタフエース選択回路30を備えている。

このインタフエース選択回路30の詳細を第2図に示す。インタフエース選択回路30において選択制御部31は通信制御部5を介してCPU1により出力される選択制御信号14の指示に従い、ゲート回路A～C(32～34)の1つを選

7

択し、選択されたゲート回路は接続されたインタフエース回路よりの出力信号に対応したレベルの信号を通信制御部5に出力し、選択されていないゲート回路はハイ・インピーダンス状態となる。32～34は上記のトライステート状態となるゲート回路A～Cであり、図示の各ゲート回路は1回路を代表して示しているが、原則としてインタフエース回路A～C(7, 9, 11)よりの出力信号線の数のゲート群より構成され、選択制御部31により選択されたインタフエース回路に接続されたゲートは入力信号レベルに対応した出力信号レベルを出力するが、選択されていないゲートは出力をハイ・インピーダンス状態に保持する。このゲート回路A～C(32～34)の具体的回路図を第3図に示す。第3図においては、煩雑さを避けるためインタフエース回路が2回路の

8

場合について説明する。

本例においてはインタフエース回路A7はインタフエース条件の接続手順としてCCITT, X. 21, bis、電氣的、物理的條件としてCCITT, V. 28, V. 24の規格に合致する。また、インタフエース回路B9は同じく接続手順としてCCITT, X. 21、電氣的、物理的條件としてCCITT, V. 11, X. 24に合致するインタフエース回路である。なお、本実施例においては通信制御部5にはデータ通信用のLSIで、CCITT, X. 21, bisの規格を満足する制御線を装備するR68561を使用しているが、他のLSIを用いても良いことはもちろんである。

本実施例では第3図に示す如く、通信制御部5よりの出力信号a, b, cはゲートを通らずその

ままインタフェース回路に入力され、インタフェース回路よりの出力信号a～iはゲートを介して通信制御部5に入力されている。本例における各信号線a～iに対応する信号名を下表に示す。

この信号名はいわゆる「DTEモード」の際の信号名を示している。

表

	通信制御部	インタフェース回路A	インタフェース回路B
a	T X D	T X D	T X D
b	R T S	R T S	C
c	D T R	D T R	N . C .
d	R X D	R X D	R X D
e	C T S	C T S	"L" レベル
f	D S R	D S R	"L" レベル
g	D C D	D C D	I
h	T X C K	T X C K	S
i	R X C K	R X C K	

ここで、CPU1より通信制御部5を介してインタフェース回路A7が選択されると、選択制御部31はゲート回路32を選択し、信号線a～iは表に示す様に通信制御部5の信号名と1対1で対応する信号となる。

ここでデータ送信を行なうときには、通信制御部5より信号線Cを介して、本装置及び不図示のCPU1に接続された端末装置のレディ信号であるDTR信号が出力され、モデムABに本装置の通信動作レディを報知する。

一方、DTR信号を受けたモデムABは、ネットワークAに接続され、通信可能状態であれば信号線5より通信レディ信号であるDSR信号を出力する。この状態で不図示の接続端末装置よりネットワークAへの送信要求がある場合等で、伝送

1 2

1 1

制御手順に従ったプロトコル通信でネットワークAに送信する必要が生じた場合には、CPU1は通信制御部5に指示して信号線bより送信要求信号であるRTS信号をインタフェース回路A7に送る。インタフェース回路A7はネットワークAに送信要求を出力し、送信可能か否かを調べ、送信可能状態に成れば送信可信号であるCTS信号を通信制御部5に返出力する。

これによりネットワークAへのデータ送出準備が完了したため、送信データ信号であるTXD信号を信号線aを介してインタフェース回路A7に送る。この信号はモデムABにより変調されて回線15を介してネットワークAに送出される。なお、TXD信号の送出タイミングは、モデムABより信号線hを介して送られる送信タイミング信号であるTXCK信号に同期させる。

一方、ネットワークAよりデータを受信する場合には、信号線5よりDSR信号が出力され、通信イネーブル状態時にあり、かつネットワークAよりキャリア信号が受信されると、データチャネル受信キャリア検出信号であるDCD信号が信号線gを介して送られてくる。続いて信号線iより受信タイミング信号であるRXCK信号に同期して、信号線dより受信データ信号であるRXD信号が送られてくる。このRXD信号はモデムABにより復調された受信データであり、通信制御部5でこの受信データの解析を行なう。

次にインタフェース回路B9が選択された場合の伝送タイミングを以下に説明する。

インタフェース回路B9の場合、DTR信号に相当する信号がないため、信号線cは非接続となり、同様にCTS信号及びDSR信号も必要とさ

れない。しかし、通信制御部5ではこの信号を監視する機能があるため、常にイネーブル状態とするため信号線e及び信号線fを“Low”レベルに保持する。また、データの送受信のタイミングクロックについても単一であり、送信/受信の区別がなく、モデムB10よりのタイミングクロック信号であるS信号を信号線hとiに供給する。

他の制御タイミングはインタフェース回路A7と略同一であり、データ送信時には信号線bのC信号をイネーブル(“Low”レベル)として、S信号に同期させて送信すべきデータをTXD信号により送出し、モデムB10により変調してネットワークBに送出する。

データの受信は以下の手順で行なわれる。信号線gの1信号がイネーブル(“Low”レベル)となると、続いてネットワークBより送られ、

モデムB10により復調された受信データRXDを、データ送受信タイミング信号であるS信号に同期して受け取ることにより行なわれる。

以上の様にして複数のネットワークに対して、インタフェース選択回路30で選択したインタフェース回路、モデムを介して送受信が行なわれることになる。これはインタフェース回路C11とネットワークCについても同様である。

ネットワークは多種のものが存在し、また、新たに開発されている。このため、新たに新規ネットワークに接続し、データ通信を行ないたい場合も発生する。この場合における本実施例の接続ネットワーク増設方法を説明する。

本実施例においては、通信制御部5より各インタフェース回路への信号線は直接そのまま接続し、各インタフェース回路よりの信号線はゲート

## 15

を介して通信制御部5に送られるため、非常に容易に増設することができる。

第3図に示す構成に加え新たにネットワークへの接続のための構成を増設した場合のインタフェース選択回路のブロック図を第4図に示す。

本実施例では増設すべきネットワークに増設モデム19及び対応する増設インタフェース回路18を配設し、増設インタフェース回路18と通信制御部5との間に単にゲート回路35を増設するのみで良い。このため、従来の第8図に示すマルチプレクサ回路3を使用した場合の様に、増設の都度マルチプレクサ回路3の全体構成を変更する必要がなく、既存構成には何らの変更をも必要でなく、選択制御部31よりのゲート選択信号の供給のみで足りる。

このため、各インタフェース回路及びゲート回

## 16

路を一体として1つのブロックに構成し、これを1つのボード(基板)上に配置しても良い。このように構成した例を第5図に示す。第3図と同じ構成については同一番号を附してあり、共通部分の説明は省略する。

第5図において、51~53は各ブロックA、B、Cの識別のための識別レジスタA~C、55は内部バス、56は各インタフェース回路より通信制御部5への入力バス、57は通信制御部5より各ブロックのインタフェース回路への出力バスである。

以上の構成における識別レジスタは16ビット構成であり、下位8ビットでボード位置を示し、上位8ビットで接続されるネットワークの種別(インタフェース回路識別)情報を示している。下位の8ビットのb0~b7がそれぞれボード位

置を示し、例えばコネクタ1〜コネクタ8がそれぞれb<sub>0</sub>〜b<sub>7</sub>に対応しており、コネクタ挿入位置に従い対応するビット位置をオンとする。これは、例えばボード上にデイツプスイッチ等を配設し、このデイツプスイッチのセット状態により判別するか、又はセット位置により自動的に定められる構成としても良い。

第5図の例であれば、Aがb<sub>0</sub>、Bがb<sub>1</sub>、Cがb<sub>2</sub>にそれぞれ対応する。この場合の識別レジスタの構成例を第6図に示す。

この構成では通信制御開始に先立ち、CPU1で内部バス13(55)を介して識別レジスタA51〜識別レジスタC53を読み出し、挿入位置及びインタフェース回路の種別を解析し、解析内容をRAM4に保持し、必要とするネットワークと通信する場合に、所望のボードを選択すべく

選択制御部31に指示してゲート回路を制御する。なお、この場合には特別の選択制御部31を設けず、CPU1より内部バス55を介してボード選択信号を供給し、ゲート回路を制御しても良い。

以上説明した様に本実施例によれば、接続するネットワークシステムを新たに追加する場合に、既存の回路の変更なしに容易にインタフェースを増設することができる。また、このインタフェース部を1枚のボード(基板)上に構成することにより、インタフェースの増設を予め備えられたコネクタに当該ボードを挿入、セットするのみで行なうことができ、かつボード上にインタフェース回路の種別や挿入位置等を識別する情報を保持し、CPUに転送可能な構成とすることにより、手軽に必要なインタフェース部を追加、削除する

19

ことができ、あらゆるニーズに迅速に答えることができる。

#### 【発明の効果】

以上説明したように本発明によれば、新たに接続されるネットワーク網があつても、極めて容易に必要なインタフェースを増設でき、あらゆる仕様のネットワークシステムに迅速容易に接続することが出来る。

また、インタフェースの構成も任意に変えられるため、必要なインタフェースのみを備える、無駄な部分のない通信制御装置を提供できる。

#### 4. 図面の簡単な説明

第1図は本発明に係る一実施例のブロック図、

第2図は第1図のインタフェース選択回路の詳細ブロック図、

第3図は第2図の具体的回路図、

20

第4図は本実施例におけるインタフェース増設時の構成図、

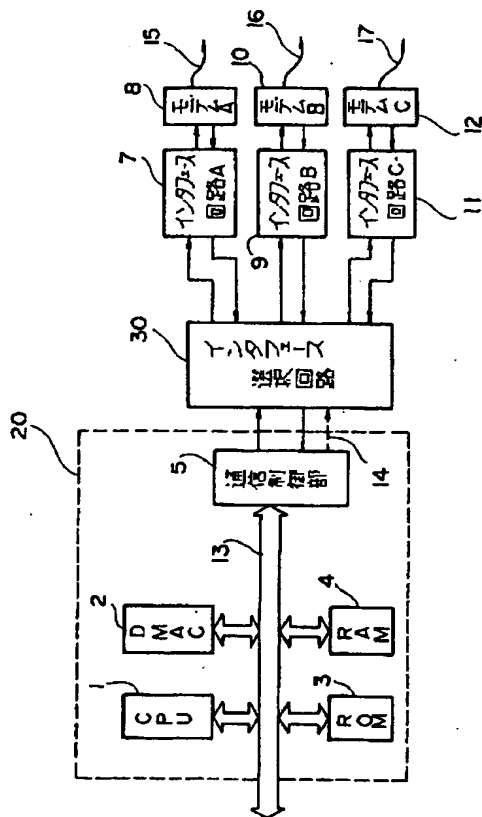
第5図は本発明に係る他の実施例のブロック図、

第6図は第5図に示す識別レジスタの構成図、

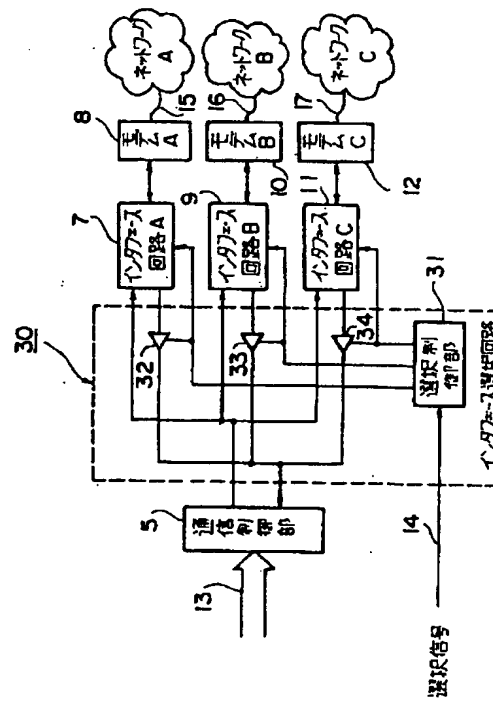
第7図は従来の通信制御装置のブロック図、

第8図は従来の通信制御装置におけるインタフェース増設を説明する図である。

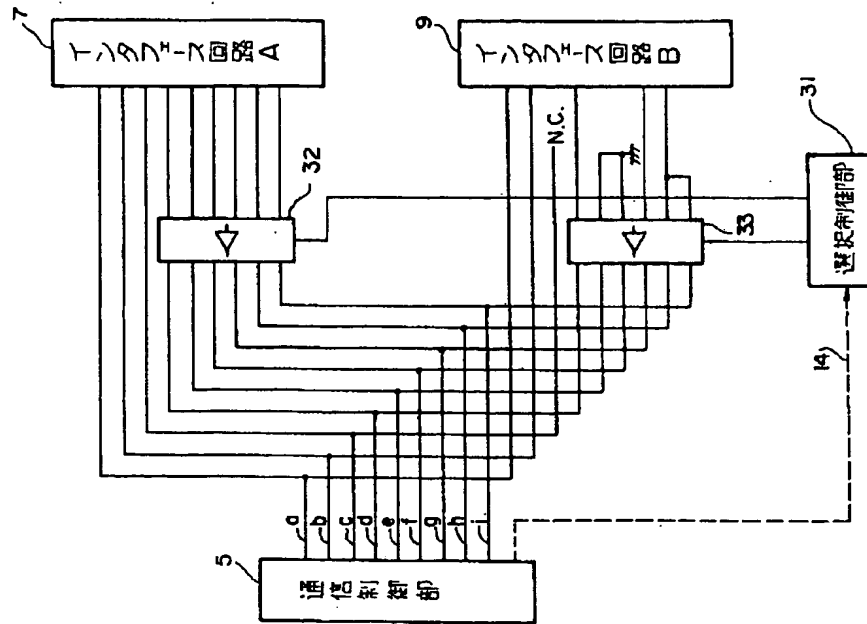
図中、1…CPU、2…DMAC、3…ROM、4…RAM、5…通信制御部、6…マルチプレクサ、7、9、11、18…インタフェース回路、8、10、12、19…モデム、30…インタフェース選択回路、31…選択制御部、32〜35…ゲート回路、51〜53…識別レジスタである。



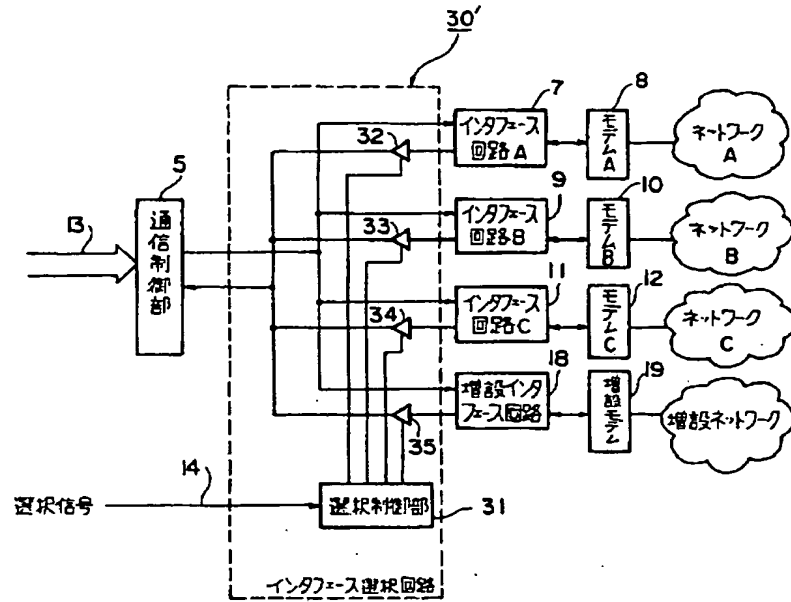
第 1 図



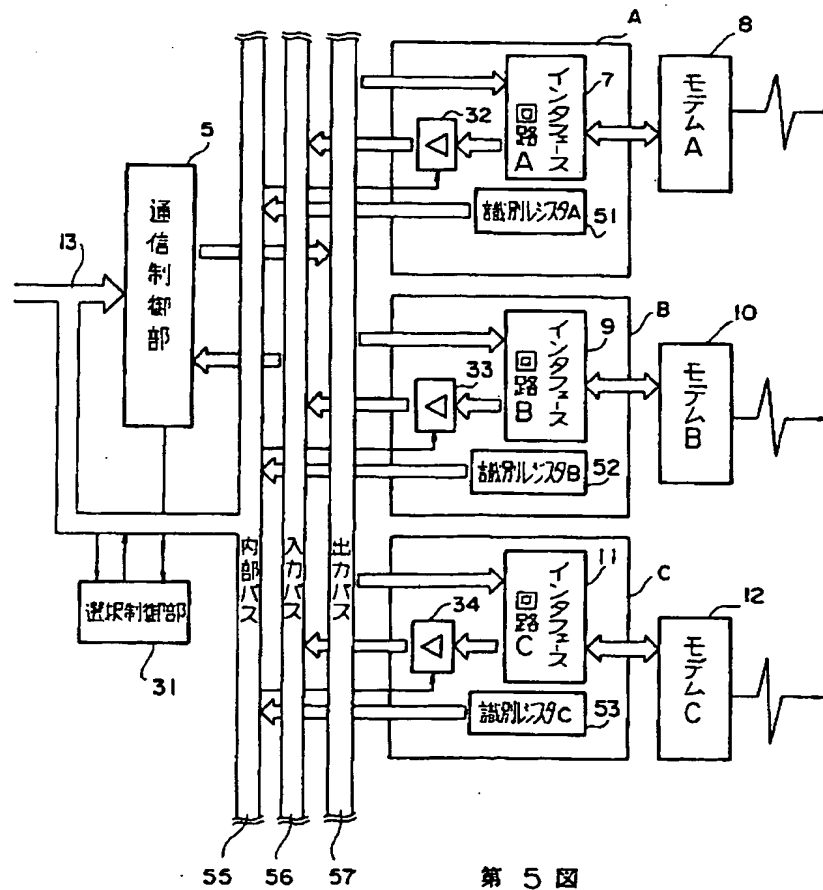
第 2 図



第 3 図



第 4 図

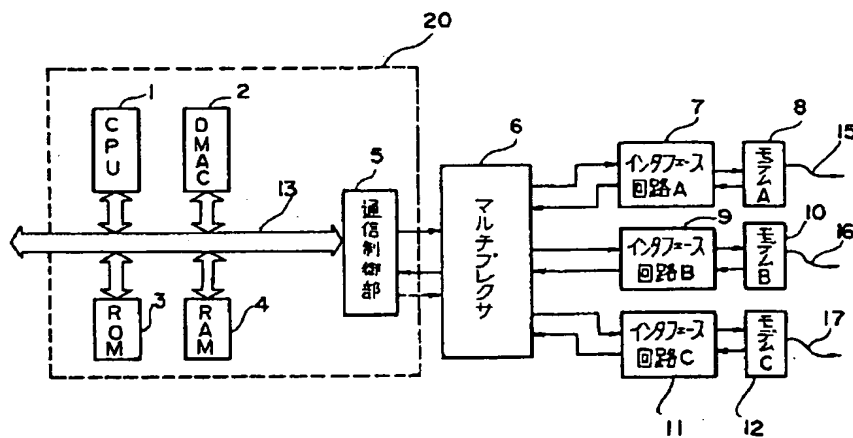


第 5 図

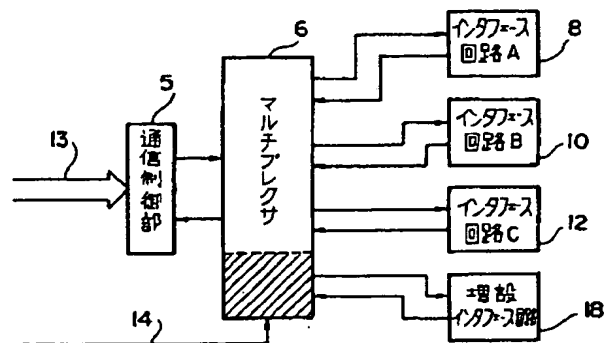


	b <sub>15</sub>	b <sub>14</sub>	b <sub>13</sub>	b <sub>12</sub>	b <sub>11</sub>	b <sub>10</sub>	b <sub>9</sub>	b <sub>8</sub>	b <sub>7</sub>	b <sub>6</sub>	b <sub>5</sub>	b <sub>4</sub>	b <sub>3</sub>	b <sub>2</sub>	b <sub>1</sub>	b <sub>0</sub>
A	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
B	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
C	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0
D	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0
...																

第 6 図



第 7 図



第 8 図

